



PCT

特許協力条約に基づいて公開された国際出願

(51) 国際特許分類6 H01L 29/78, 27/092		A1	(11) 国際公開番号 WO96/42112
			(43) 国際公開日 1996年12月27日(27.12.96)
(21) 国際出願番号 (22) 国際出願日 PCT/JP96/00940 1996年4月5日(05.04.96)		(74) 代理人 弁理士 筒井大和(TSUTSUI, Yamato) 〒160 東京都新宿区西新宿7丁目22番45号 N.S. Excel 301 筒井国際特許事務所 Tokyo, (JP)	
(30) 優先権データ 特願平7/145035 1995年6月12日(12.06.95) JP		(81) 指定国 CN, JP, KR, SG, US, 欧州特許(AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).	
(71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP)		添付公開書類 国際調査報告書	
(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 和田真一郎(WADA, Shinichiro)(JP/JP) 〒198 東京都青梅市野上657番5号 株式会社 日立製作所 デバイス開発センタ 若草寮A343号室 Tokyo, (JP) 三宅 保(MIYAKE, Tamotsu)(JP/JP) 〒198 東京都青梅市藤橋888番地 日立藤橋ハウス11A棟206号室 Tokyo, (JP) 丹場展雄(TAMBA, Nobuo)(JP/JP) 〒198 東京都青梅市野上319-3 Tokyo, (JP) 内田明久(UCHIDA, Akihisa)(JP/JP) 〒185 東京都国分寺市東元町1丁目10番地10号 Tokyo, (JP)			
(54) Title : SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE, PRODUCTION THEREOF, AND SEMICONDUCTOR WAFER			
(54) 発明の名称 半導体集積回路装置およびその製造方法ならびに半導体ウエハ			

SOI基板を使った半導体集積回路装置は、半導体基板1（n型ウエル4）上に絶縁層2を介して形成された半導体層3a，3bの主面にpチャネル型MISFETQp，nチャネル型MISFETQnが形成されており、pチャネル型MISFETQp，nチャネル型MISFETQnのそれぞれのチャネル領域下の絶縁層2には開孔5が設けられ、チャネル領域と半導体基板1（n型ウエル4）とはこの開孔5を通じて電氣的に接続されている。

情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を同定するために使用されるコード

AL	アルバニア	DE	ドイツ	LI	リヒテンシュタイン	PL	ポーランド
AM	アルメニア	DK	デンマーク	LC	セントルシア	PT	ポルトガル
AT	オーストリア	EE	エストニア	LK	スリランカ	RO	ルーマニア
AU	オーストラリア	ES	スペイン	LR	リベリア	RU	ロシア連邦
AZ	アゼルバイジャン	FI	フィンランド	LS	レソト	SD	スーダン
BA	ボスニア・ヘルツェゴビナ	FR	フランス	LT	リトアニア	SE	スウェーデン
BB	バルバドス	GB	イギリス	LU	ルクセンブルグ	SG	シンガポール
BE	ベルギー	GA	ガボン	LV	ラトヴィア	SI	スロベニア
BG	ブルガリア	GE	グルジア	MC	モナコ	SK	スロバキア
BH	バーレーン	GR	ギリシャ	MD	モルドヴァ共和国	SN	セネガル
BR	ブラジル	GU	グアム	MG	マダガスカル	SZ	スワジランド
BY	ベラルーシ	IE	アイルランド	MK	マケドニア共和国	TD	チャド
CA	カナダ	IL	イスラエル	ML	マリ	TG	トーゴ
CC	中央アフリカ共和国	IS	アイスランド	MN	モンゴル	TJ	タジキスタン
CG	コンゴ	IT	イタリア	MR	モーリタニア	TM	トルクメニスタン
CH	スイス	JP	日本	MW	マラウイ	TR	トルコ
CI	コート・ジボアール	KE	ケニア	MX	メキシコ	TT	トリニダード・トバゴ
CM	カメルーン	KG	キルギスタン	NE	ニジェール	UA	ウクライナ
CN	中国	KP	朝鮮民主主義人民共和国	NL	オランダ	UG	ウガンダ
CO	コロンビア	KR	大韓民国	NO	ノルウェー	US	アメリカ合衆国
CZ	チェコ共和国	KZ	カザフスタン	NZ	ニュージーランド	UZ	ウズベキスタン
						VN	ヴェトナム

明 細 書

半導体集積回路装置およびその製造方法ならびに半導体ウエハ

5 技術分野

本発明は、半導体集積回路装置およびその製造技術に関し、特に、S O I (Silicon On Insulator) 構造の半導体集積回路装置に適用して有効な技術に関するものである。

10 背景技術

半導体基板上に絶縁層を介して薄い半導体層を形成し、この半導体層に素子を形成するS O I 技術は、完全な素子分離が可能であることから、単結晶シリコンの基板に半導体素子を形成する場合に比べて次のような利点を得られる。

(1) 配線-基板間の寄生容量や拡散層容量が低減されるので、L S I の動作速度の向上が可能となる。

(2) α 線による電子-正孔対の発生が薄い半導体層に限られるので、ソフトエラー耐性が高く、メモリ素子の微細化に有利である。

(3) 寄生バイポーラトランジスタのような能動的寄生効果が低減されるので、ラッチアップフリーの相補型M I S F E T を形成できる。

20 しかしその反面、S O I 技術の問題点として、半導体層に形成されたM I S F E T のしきい値電圧が変動し易いことが指摘されている。

例えばアイ・イー・イー・イー、トランザクションズ(IEEE Transactions on Electron Devices Vol.38, No.6, June 1991. p.1384~p.1391 "Analysis and Control of Floating-Body Bipolar Effects in Fully Depleted Submicrometer SOI MOSFET's") には、S O I 基板に形成されたM I S F E T のチャネル領域がソース領域とドレイン領域とで周囲を囲まれ、基板からも絶縁分離されてフローティング状態になると、ゲート電圧-ドレイン電流特性にキンク(kink)特性が生じるために、しきい値電圧が変動するという事実が報告されている。

従って、S O I 基板に形成されたM I S F E T の安定動作を確保するためには、

MISFETのチャネル領域がフローティング状態にならないような構造を実現する必要がある。

- 例えば前述した文献は、チャネル領域のフローティングを防止する対策として、半導体層の膜厚を十分に薄く形成し、ゲート電圧の印加時にチャネル領域を完全
- 5 に空乏化させる技術を開示している。

- また、特開昭62-109355号公報は、チャネル領域のフローティングを防止する対策として、チャネル領域が形成されるp型半導体領域に電氣的に接続された第2のp型半導体領域をnチャネル型MISFETのソース、ドレイン領域（n型半導体領域）の端部に形成し、この第2のp型半導体領域に固定電位を
- 10 印加する技術を開示している。

しかし、ゲート電圧の印加時にチャネル領域が完全に空乏化するようになるまで半導体層を薄く形成する第1の従来技術においては、

- (1) 半導体層に形成されるソース、ドレイン領域の抵抗値が増大するために、MISFETの電流駆動能力が低下する。
- 15 (2) 寄生バイポーラトランジスタ効果が顕在化するために、しきい値電圧が低下し、エンハンスメント型のMISFETを得ることが困難になる。
- といった問題が生じる。

また、nチャネル型MISFETのソース、ドレイン領域（n型半導体領域）の端部に固定電位供給用のp型半導体領域を形成する第2の従来技術の場合は、

- 20 (1) このp型半導体領域を設けた分、MISFETの実効的なゲート幅が減少するために、電流駆動能力が低下する。
- (2) ソース、ドレイン領域の接合容量が大きくなるために、MISFETの動作速度が低下する。
- といった問題が生じる。

- 25 本発明の目的は、SOI基板に形成されたMISFETのしきい値電圧の変動を防止すると共に、しきい値電圧をエンハンスメント型に設定することのできる技術を提供することにある。

本発明の他の目的は、SOI基板に形成されたMISFETのしきい値電圧の変動を防止すると共に、電流駆動能力を向上させることのできる技術を提供する

ことにある。

本発明の前記ならびにその他の目的と新規な特徴は、明細書の記述および添付図面から明らかになるであろう。

5 発明の開示

本発明によるS O I構造の半導体集積回路装置は、半導体基板上に絶縁層を介して形成された半導体層の主面にM I S F E Tが形成され、前記M I S F E Tのチャネル領域下の前記絶縁層に開孔が設けられ、前記チャネル領域と前記半導体基板とが前記開孔を通じて電氣的に接続されている。

- 10 本発明による半導体集積回路装置の製造方法は、半導体基板の上部に絶縁層を介して半導体層を形成したS O I構造の基板にM I S F E Tを形成するにあたり、
- (a) 半導体基板上に絶縁層を形成した後、前記絶縁層をエッチングして前記半導体基板に達する複数の開孔を所定の間隔で形成する工程、
- (b) 前記それぞれの開孔の底部に露出した前記半導体基板上に半導体層をエピタキシャル成長させ、前記絶縁層の上部の全面を前記半導体層で覆う工程、
- 15 (c) 前記半導体層を所定の膜厚となるまで薄膜化した後、前記半導体層の主面に素子分離用の絶縁膜を形成する工程、
- (d) 前記半導体層の主面に、チャネル領域の一部が前記開孔上に配置されたM I S F E Tを形成する工程、
- 20 を含んでいる。

上記した構成によれば、絶縁層の開孔を通じてM I S F E Tのチャネル領域と半導体基板とを電氣的に接続したことにより、チャネル領域のフローティングに起因するしきい値電圧の変動が防止されるので、M I S F E Tの安定動作を図ることができる。

- 25 また、ゲート電圧の印加時にチャネル領域が完全に空乏化するまで半導体層を薄くしなくとも、しきい値電圧の制御を行うことができるので、ソース、ドレイン領域の抵抗値の増大を防ぎ、M I S F E Tの電流駆動能力を向上させることができる。さらに、寄生バイポーラトランジスタ効果の顕在化によるしきい値電圧の低下を防ぎ、M I S F E Tのしきい値電圧をエンハンスメント型に設定するこ

とができる。

- また、半導体層の下部の絶縁層に設けた開孔を通じてチャネル領域に固定電位を供給することができるので、実効的なゲート幅の減少を防ぎ、MISFETの電流駆動能力を向上させることができる。さらに、ソース、ドレイン領域の接合容量の増大を防ぎ、MISFETの動作速度を向上させることができる。

図面の簡単な説明

- 図1は、本発明の第1実施例である半導体集積回路装置を示すSOI基板の要部平面図、図2は、図1のII-II'線に沿った断面図、図3は、本発明の第1実施例である半導体集積回路装置の製造方法を示すSOI基板の要部断面図、図4は、本発明の第1実施例である半導体集積回路装置の製造方法を示すSOI基板の要部断面図、図5は、本発明の第1実施例である半導体集積回路装置の製造方法を示すSOI基板の要部断面図、図6は、本発明の第1実施例である半導体集積回路装置の製造方法を示すSOI基板の斜視図、図7は、本発明の第1実施例である半導体集積回路装置の製造方法を示すSOI基板の要部断面図、図8は、本発明の第1実施例である半導体集積回路装置の製造方法を示すSOI基板の要部断面図、図9は、本発明の第1実施例である半導体集積回路装置の製造方法を示すSOI基板の要部断面図、図10は、本発明の第1実施例である半導体集積回路装置の製造方法を示すSOI基板の要部断面図、図11は、本発明の第1実施例である半導体集積回路装置の製造方法を示すSOI基板の要部断面図、図12は、本発明の第1実施例である半導体集積回路装置の製造方法を示すSOI基板の要部断面図、図13は、本発明の第2実施例である半導体集積回路装置の製造方法を示すSOI基板の要部断面図、図14は、本発明の第2実施例である半導体集積回路装置の製造方法を示すSOI基板の要部断面図、図15は、本発明の第2実施例である半導体集積回路装置の製造方法を示すSOI基板の要部断面図、図16は、本発明の第2実施例である半導体集積回路装置の製造方法を示すSOI基板の要部断面図、図17は、本発明の他の実施例である半導体集積回路装置の製造方法を示すSOI基板の要部断面図である。

発明を実施するための最良の形態

本発明をより詳述するために、添付の図面に従ってこれを説明する。なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

5 (第1実施例)

本発明の第1実施例である半導体集積回路装置を図1、図2に示す。図1は、SOI基板の要部平面図、図2は、図1のII-II'線に沿った断面図である。

本実施例の半導体集積回路装置は、半導体基板1と、この半導体基板1上に絶縁層2を介して形成された半導体層3a、3bとで構成されるSOI基板の主面上に、nチャネル型MISFETQnとpチャネル型MISFETQpとで構成されるCMOS (Complimentary MOS)回路を形成したものである。

半導体基板1はp型の単結晶シリコン(Si)からなり、その一部にはn型ウエル4が形成されている。絶縁層2は多数の開孔5が等間隔に形成された酸化シリコン層で構成されている。半導体層3aはn型のエピタキシャル単結晶シリコンからなり、その下部の絶縁層2に形成された開孔5を通じてn型ウエル4と電氣的に接続されている。半導体層3bはp型のエピタキシャル単結晶シリコンからなり、その下部の絶縁層2に形成された開孔5を通じてp型の半導体基板1と電氣的に接続されている。

nチャネル型MISFETQnは、酸化シリコンからなる素子分離用のフィールド絶縁膜6で周囲を囲まれたp型の半導体層3bの活性領域の主面に形成されている。nチャネル型MISFETQnは、半導体層3bに形成されたn型半導体領域(ソース領域、ドレイン領域)7と、半導体層3bの表面に形成された酸化シリコンのゲート絶縁膜8と、ゲート絶縁膜8上に形成された多結晶シリコンのゲート電極9とで構成されている。このゲート電極9の直下の半導体層3bすなわちチャネル領域は、前記絶縁層2の開孔5を通じて半導体基板1と電氣的に接続されている。

上記p型の半導体層3bの別の活性領域には、酸化シリコンの絶縁膜10に形成された接続孔11を通じて配線12が接続され、 ~ -2 V程度の基板電位が供給される。この半導体層3bは、前記nチャネル型MISFETQnが形成され

た半導体層 3 b と同様、その下部の絶縁層 2 の開孔 5 を通じて半導体基板 1 と電氣的に接続されている。

このように、上記 n チャネル型 MISFETQn は、絶縁層 2 の開孔 5 を通じてチャンネル領域と半導体基板 1 とを電氣的に接続し、このチャンネル領域に基板電位を供給することによって、チャンネル領域のフローティングを防いでいる。

一方、p チャネル型 MISFETQp は、フィールド絶縁膜 6 で周囲を囲まれた n 型の半導体層 3 a の活性領域の主面に形成されている。p チャネル型 MISFETQp は、半導体層 3 a に形成された p 型半導体領域（ソース領域、ドレイン領域）と、半導体層 3 a の表面に形成されたゲート絶縁膜 8 と、ゲート絶縁膜 8 上に形成されたゲート電極 9 とで構成されている。このゲート電極 9 の直下の半導体層 3 a すなわちチャンネル領域は、前記絶縁層 2 の開孔 5 を通じて n 型ウエル 4 と電氣的に接続されている。

上記 n 型の半導体層 3 a の別の領域には、絶縁膜 10 に形成された接続孔 11 を通じて配線 12 が接続され、～2 V 程度のウエル電位が供給される。この半導体層 3 a は、前記 p チャネル型 MISFETQp が形成された半導体層 3 a と同様、その下部の絶縁層 2 の開孔 5 を通じて n 型ウエル 4 と電氣的に接続されている。

このように、上記 p チャネル型 MISFETQp は、絶縁層 2 の開孔 5 を通じてチャンネル領域と n 型ウエル 4 とを電氣的に接続し、このチャンネル領域にウエル電位を供給することによって、チャンネル領域のフローティングを防いでいる。

上記のように構成された本実施例によれば、ゲート電圧の印加時にチャンネル領域が完全に空乏化するまで半導体層 3 a, 3 b を薄くしなくとも、しきい値電圧の制御を行うことができるので、ソース、ドレイン領域（n 型半導体領域 7、p 型半導体領域 13）の抵抗値の増大を防ぎ、n チャネル型 MISFETQn、p チャネル型 MISFETQp のそれぞれの電流駆動能力を向上させることができる。さらに、寄生バイポーラトランジスタ効果の顕在化によるしきい値電圧の低下を防ぎ、しきい値電圧をエンハンスメント型に設定することができる。

また、本実施例によれば、半導体層 3 a, 3 b の下部の絶縁層 2 の開孔 5 を通じてチャンネル領域に固定電位を供給するので、実効的なゲート幅の減少を防ぎ、

nチャネル型MISFETQ_n、pチャネル型MISFETQ_pのそれぞれの電流駆動能力を向上させることができる。さらに、ソース、ドレイン領域（n型半導体領域7、p型半導体領域13）の接合容量の増大を防ぎ、動作速度を向上させることができる。

- 5 また、本実施例によれば、nチャネル型MISFETQ_n、pチャネル型MISFETQ_pの動作時に発生する熱を半導体層3a、3bの下部の絶縁層2の開孔5を通じて半導体基板1に逃がすことができるので、SOI基板の放熱性を向上させることができる。

- 10 次に、図3～図12を用いて本実施例のCMOSゲートアレイの製造方法を説明する。

まず、図3に示すように、p型の半導体基板1を熱処理してその表面に酸化シリコンの絶縁層2を形成した後、図4に示すように、絶縁層2およびフォトリソ15をマスクにしてpチャネル型MISFETQ_pの形成領域の半導体基板1にn型の不純物（リンまたはヒ素）を打ち込み、n型ウェル4を形成する。

- 15 次に、フォトリソ15を除去した後、図5に示すように、新たなフォトリソ16をマスクにして絶縁層2をドライエッチングすることにより、半導体基板1に達する開孔5とn型ウェル4に達する開孔5とを形成する。

- 20 図6に示すように、上記開孔5は、絶縁層2の主面の互いに直交する方向に沿って等間隔に形成する。開孔5は、その径がMISFETのゲート電極のゲート長よりも小さくなるように形成する。また、本実施例では、MISFETのチャネル領域の下に少なくとも1個の開孔5が配置されるので、互いに隣接する開孔5の間隔は、ゲート長方向に沿って互いに隣接するMISFETのゲート電極の間隔の $1/n$ （nは自然数）となるように設定する。

- 25 次に、フォトリソ15を除去した後、図7に示すように、開孔5の底部に露出した半導体基板1とn型ウェル4のそれぞれの表面にp型の半導体層3bを選択的にエピタキシャル成長させる。半導体層3bは、それぞれの開孔5を通じて成長した半導体層3b同士が絶縁層2の上部で互いにつながり合っ、絶縁層2の全面を覆うようになるまで成長させる。

次に、図8に示すように、半導体層3bをCMP (Chemical Mechanical Polishi

ng; 化学的機械研磨)法あるいはエッチバックで薄膜化すると共に、その表面を平坦化する。この半導体層 3 b は、少なくともゲート電圧の印加時にチャネル領域が完全に空乏化しない程度の膜厚を有するものとする。

次に、図 9 に示すように、フォトレジスト 17 をマスクにして p チャネル型 MISFETQp の形成領域の半導体層 3 b に n 型の不純物（リンまたはヒ素）を打ち込み、n 型ウェル 4 の上部に n 型の半導体層 3 a を形成する。

次に、フォトレジスト 17 を除去した後、図 10 に示すように、半導体層 3 a, 3 b のそれぞれの表面に素子分離用の厚いフィールド絶縁膜 6 とゲート絶縁膜 8 とを形成した後、図 11 に示すように、CVD 法で堆積した多結晶シリコン膜をパターニングすることにより、半導体層 3 a, 3 b のそれぞれのゲート絶縁膜 8 上にゲート電極 9 を形成する。

次に、図 12 に示すように、半導体層 3 a に p 型の不純物（ホウ素）を打ち込んで p チャネル型 MISFETQp のソース、ドレイン領域（p 型半導体領域 13）を形成し、半導体層 3 b に n 型の不純物（リンまたはヒ素）を打ち込んで n チャネル型 MISFETQn のソース、ドレイン領域（n 型半導体領域 7）を形成する。

その後、n チャネル型 MISFETQn、p チャネル型 MISFETQp のそれぞれの上に CVD 法で酸化シリコンの絶縁膜 10 を堆積した後、この絶縁膜 10 に形成した接続孔 11 を通じて p チャネル型 MISFETQp のソース、ドレイン領域（p 型半導体領域 13）、n チャネル型 MISFETQn のソース、ドレイン領域（n 型半導体領域 7）のそれぞれに配線 12 を接続すると共に、別の領域の半導体層 3 a にウェル電位供給用の配線 12 を、別の領域の半導体層 3 b に基板電位供給用の配線 12 をそれぞれ接続することにより、前記図 1、図 2 に示す CMOS 回路が完成する。

25 (第 2 実施例)

前記第 1 実施例では、半導体基板 1、絶縁層 2、エピタキシャルシリコン単結晶からなる半導体層 3 a, 3 b で構成された SOI 基板を用いた場合について説明したが、シリコン単結晶からなる半導体基板 1 の内部に酸素イオンを打ち込んだ後、半導体基板 1 を熱処理してその内部に酸化シリコンの絶縁層を形成する、

いわゆるS I M O X (Separation by Implanted Oxygen)法で得られるS O I 基板を用いることもできる。

この場合は、まず図13に示すように、p型の半導体基板1上に形成した酸化シリコンなどの絶縁膜（またはフォトレジスト）18をマスクにして、pチャネル型M I S F E T Q pの形成領域の半導体基板1にn型の不純物（リンまたはヒ素）を打ち込んでn型ウエル4を形成した後、絶縁膜18を除去し、続いて図14に示すように、半導体基板1の全面にp型の半導体層19bをエピタキシャル成長させる。

次に、図15に示すように、半導体層19b上に島状の絶縁膜パターン20を等間隔に形成した後、この絶縁膜パターン20をマスクにして半導体層19bの内部に酸素イオンを注入する。島状の絶縁膜パターン20は、例えば半導体層19b上に形成した酸化シリコン膜をパターンニングして形成する。この絶縁膜パターン20の寸法および間隔は、前記第1実施例で用いたS O I 基板の絶縁層2に形成した開孔5のそれと同じにする。

次に、絶縁膜パターン20を除去した後、図16に示すように、半導体基板1を熱処理してシリコンと酸素とを反応させることにより、半導体層19bの底部に酸化シリコンからなる絶縁層21を形成する。このとき、絶縁膜パターン20の下方の酸素イオンが注入されなかった領域には、絶縁層21が形成されないので、前記第1実施例の図8に示すものとほぼ同様の構造を有するS O I 基板が得られる。

その後は、前記第1実施例の図9～図12に示す工程に従ってCMOSゲートアレイを形成すればよい。

以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記第1実施例、第2実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

前記第1、第2実施例では、CMOSゲートアレイを構成するnチャネル型M I S F E T Q n、pチャネル型M I S F E T Q pのそれぞれのチャネル領域に固定電位を供給したが、例えばnチャネル型M I S F E T Q nのチャネル領域のみに固定電位を供給するようにしてもよい。

また、前記第 1 実施例において、半導体基板 1 上に形成した絶縁層 2 をエッチングして開孔 5 を形成する際、図 1 7 に示すように、半導体基板 1 の一部の領域の絶縁層 2 を全部除去してもよい。このようにすると、絶縁層 2 を除去した領域は S O I 構造とはならないので、この領域の半導体基板 1 上にエピタキシャル成長させた半導体層 3 b 上に、S O I 基板上に形成される M I S F E T とは特性が異なる M I S F E T を形成することができる。つまり、同一の半導体基板 1 上に異なる特性の M I S F E T を混在させることができる。

本発明は C M O S ゲートアレイのみならず、n チャネル型 M I S F E T Q n だけで回路を構成するような場合にも適用することができる。すなわち、本発明は、S O I 基板上に形成した M I S F E T で構成される半導体集積回路装置に広く適用することができる。

産業上の利用可能性

以上のように、本発明の半導体集積回路装置は、S O I 基板の半導体層に形成された M I S F E T のしきい値電圧の変動を抑制し、M I S F E T の安定動作を図ることができるので、S O I 基板を使用する各種 L S I に用いて好適なものである。

請 求 の 範 囲

1. 半導体基板上に絶縁層を介して形成された半導体層の主面にM I S F E Tが形成された半導体集積回路装置であって、前記M I S F E Tのチャネル領域下の
- 5 前記絶縁層に開孔が設けられ、前記チャネル領域と前記半導体基板とが前記開孔を通じて電氣的に接続されていることを特徴とする半導体集積回路装置。
2. 請求項1記載の半導体集積回路装置であって、前記絶縁層には、前記開孔が互いに等しい間隔で設けられていることを特徴とする半導体集積回路装置。
3. 請求項1記載の半導体集積回路装置であって、前記半導体基板には、前記M
- 10 I S F E Tが形成されていない領域の前記半導体層とその下の前記絶縁層に設けられた前記開孔とを通じて固定電位が供給されることを特徴とする半導体集積回路装置。
4. 請求項1記載の半導体集積回路装置であって、互いに隣接する開孔同士の間隔は、ゲート長方向に沿って互いに隣接するM I S F E Tのゲート電極同士の間隔の $1/n$ （ n は自然数）に設定されていることを特徴とする半導体集積回路装置。
- 15 5. 請求項1記載の半導体集積回路装置であって、前記半導体層の第1の領域には n チャネル型M I S F E Tが形成され、前記半導体層の第2の領域には p チャネル型M I S F E Tが形成されていることを特徴とする半導体集積回路装置。
- 20 6. 請求項5記載の半導体集積回路装置であって、前記 n チャネル型M I S F E T、 p チャネル型M I S F E Tのそれぞれのソース、ドレイン領域は、それらの底部が前記絶縁層に接していることを特徴とする半導体集積回路装置。
7. 半導体基板上に絶縁層を介して形成した半導体層の主面にM I S F E Tを形成する半導体集積回路装置の製造方法であって、
- 25 (a) 半導体基板上に絶縁層を形成した後、前記絶縁層をエッチングして前記半導体基板に達する複数の開孔を所定の間隔で形成する工程、
- (b) 前記それぞれの開孔の底部に露出した前記半導体基板上に半導体層をエピタキシャル成長させ、前記絶縁層の上部の全面を前記半導体層で覆う工程、
- (c) 前記半導体層を所定の膜厚となるまで薄膜化した後、前記半導体層の主面

に素子分離用の絶縁膜を形成する工程、

(d) 前記半導体層の主面に、チャンネル領域の一部が前記開孔上に配置されたM I S F E Tを形成する工程、

を含むことを特徴とする半導体集積回路装置の製造方法。

- 5 8. 内部に絶縁層が形成されたシリコン基板の主面にM I S F E Tを形成する半導体集積回路装置の製造方法であって、

(a) シリコン基板上に所定の間隔で離間された島状のパターンを形成した後、前記島状のパターンをマスクにして前記シリコン基板に酸素イオンを注入する工程、

- 10 (b) 前記シリコン基板を熱処理してシリコンと酸素とを反応させることにより、前記島状のパターン下の領域を除く前記シリコン基板の内部に酸化シリコン層を形成する工程、

(c) 前記シリコン基板の主面に素子分離用の絶縁膜を形成した後、前記シリコン基板の主面に、チャンネル領域の一部が前記酸化シリコン層が形成されていない

- 15 領域上に配置されたM I S F E Tを形成する工程、

を含むことを特徴とする半導体集積回路装置の製造方法。

9. 半導体基板上に絶縁層を介して半導体層が形成されたS O I 構造の半導体ウエハであって、前記絶縁層に所定の間隔で開孔が形成され、前記それぞれの開孔の内部を含む前記絶縁層の上部に前記半導体層が形成されていることを特徴とする

- 20 半導体ウエハ。

10. 請求項9記載の半導体ウエハであって、前記半導体基板の一部の領域には、前記絶縁層が形成されていないことを特徴とする半導体ウエハ。

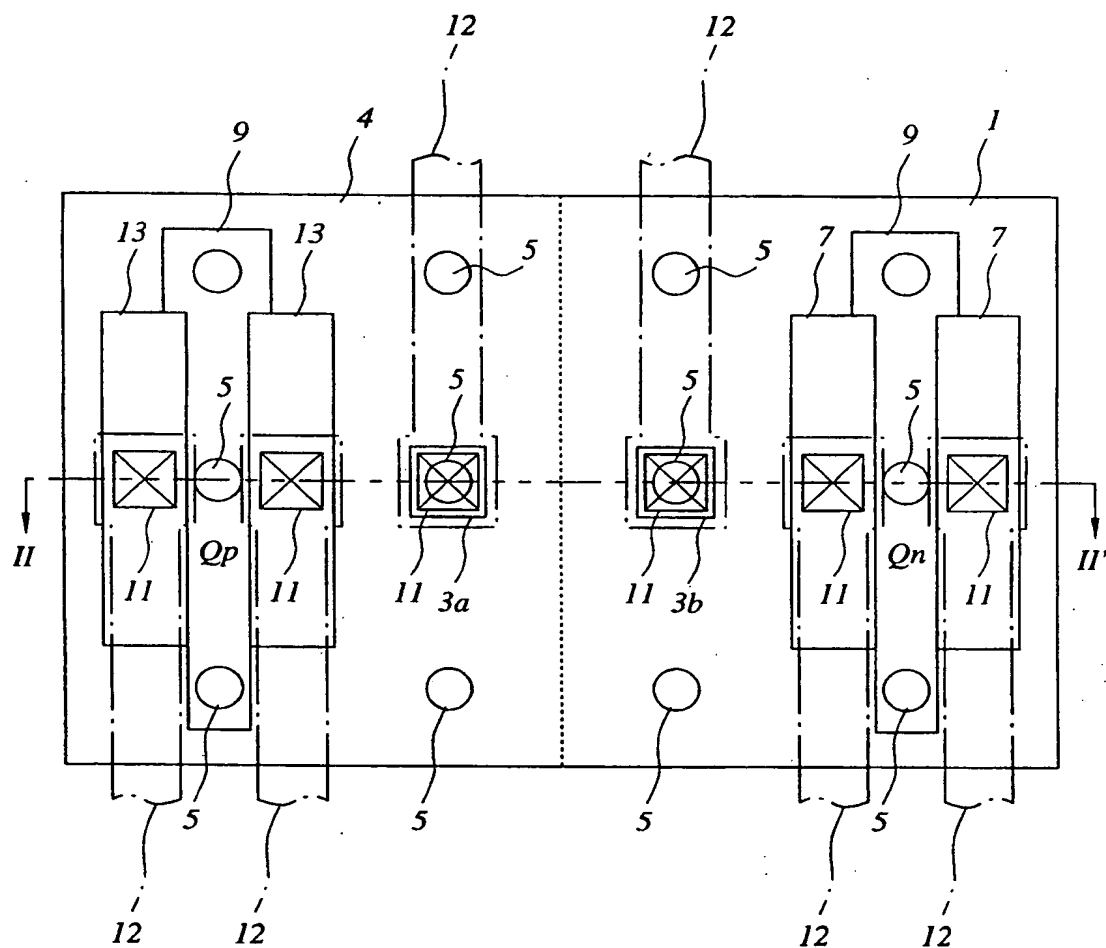
 1

図 2

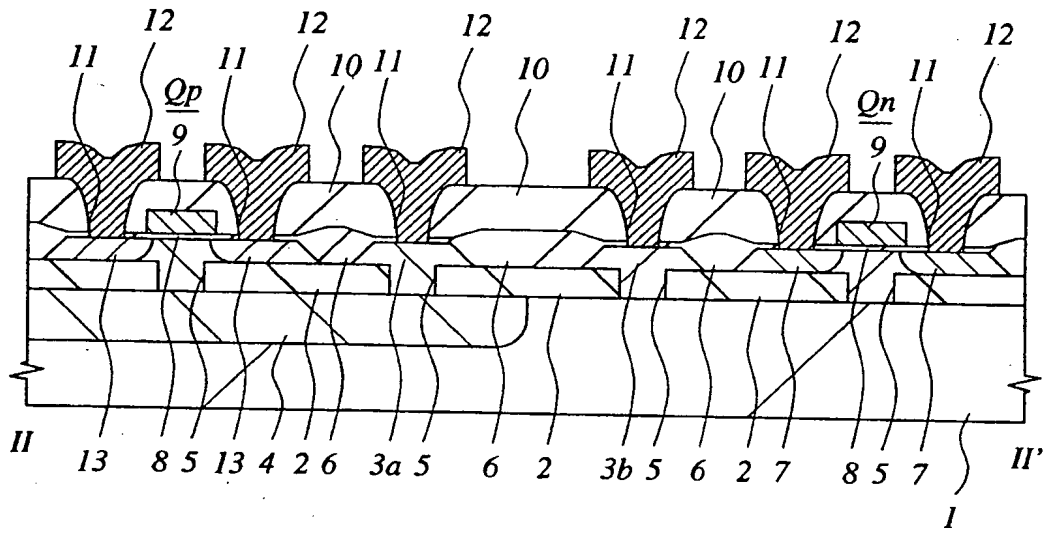


図 3

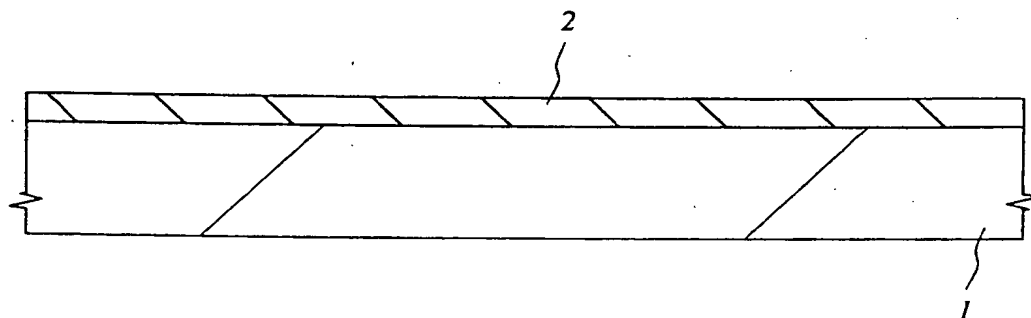


図 4

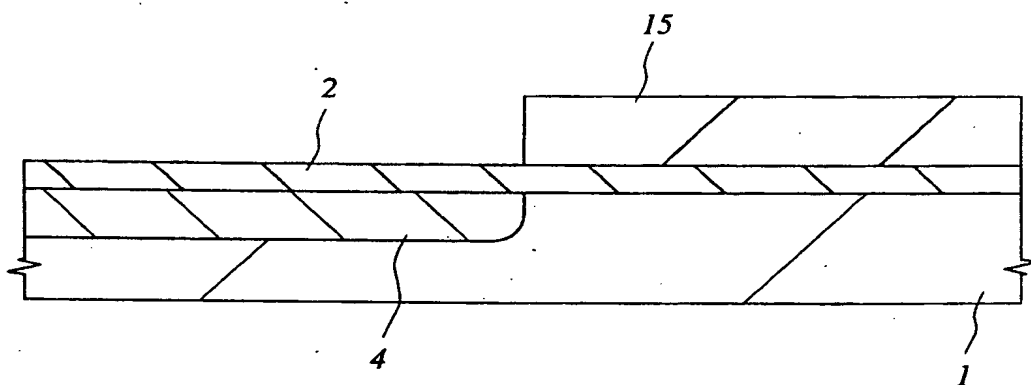


図 5

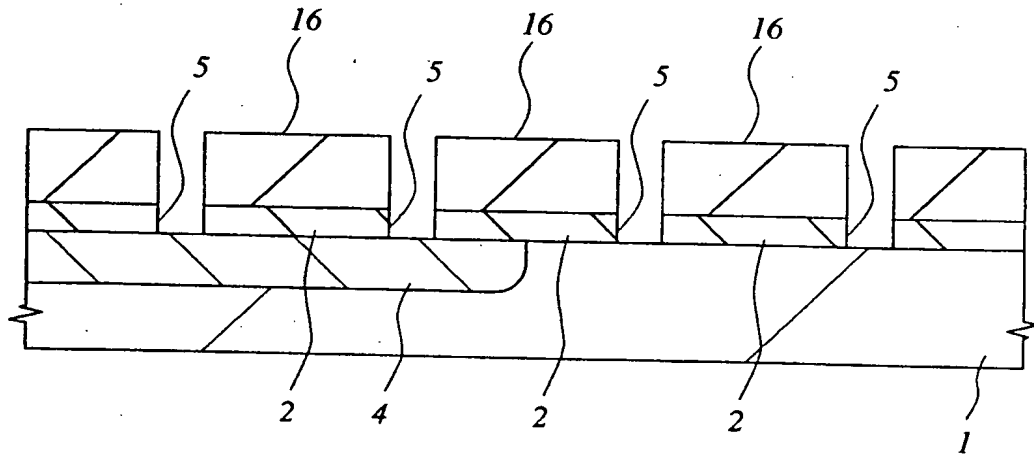


図 6

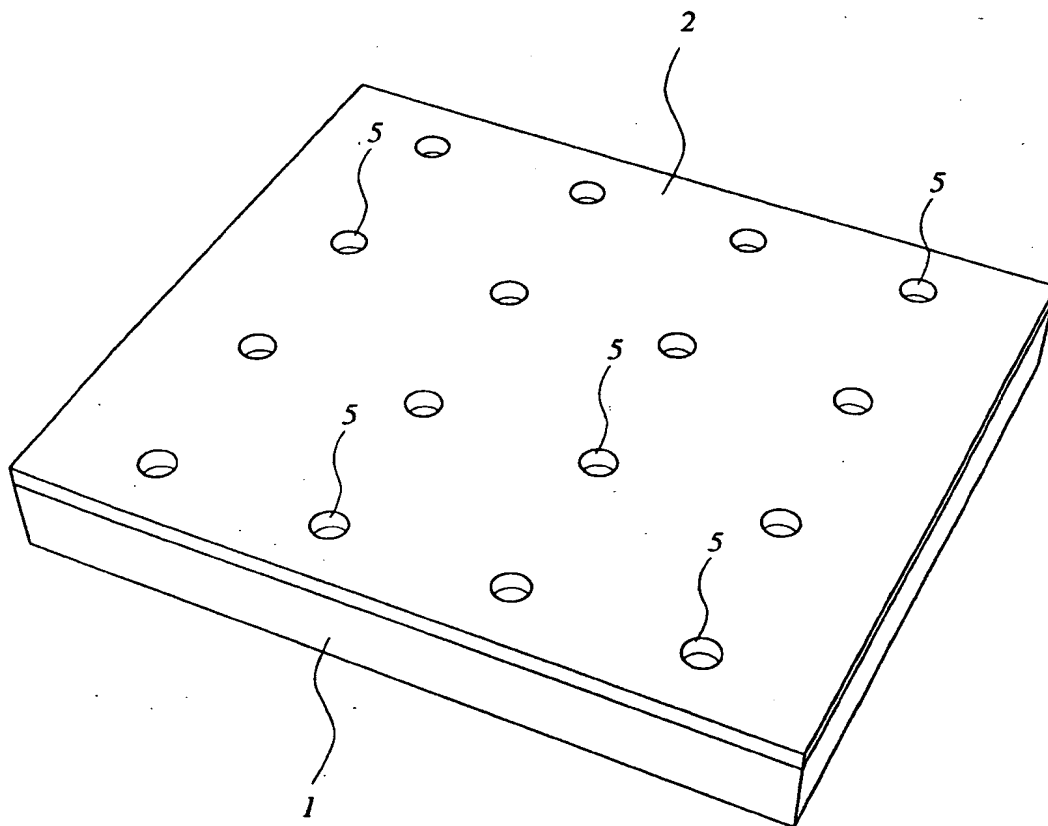


図 7

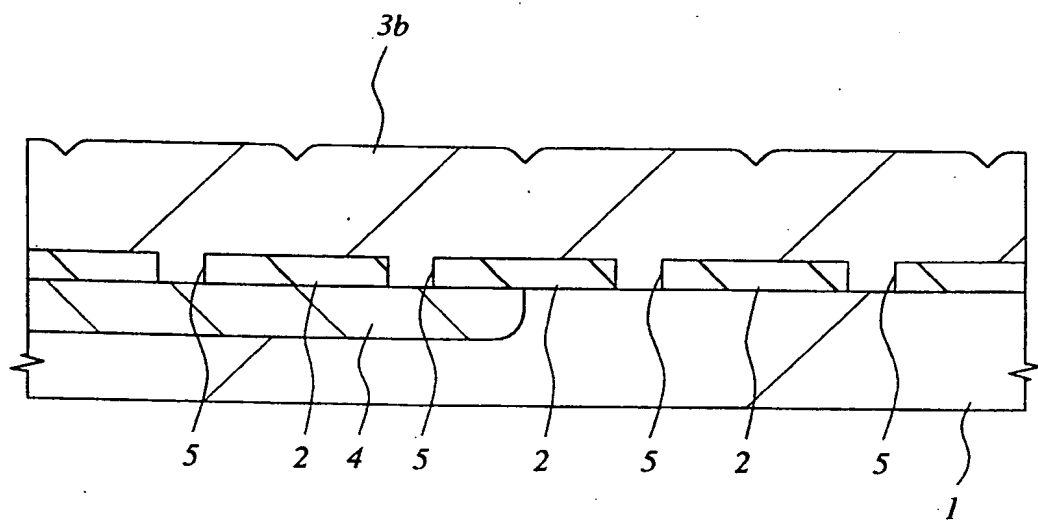


図 8

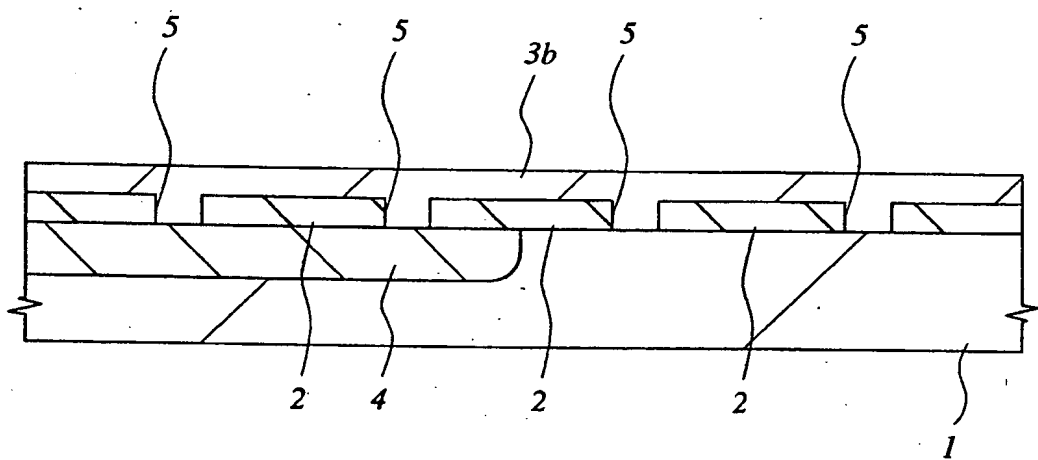


図 9

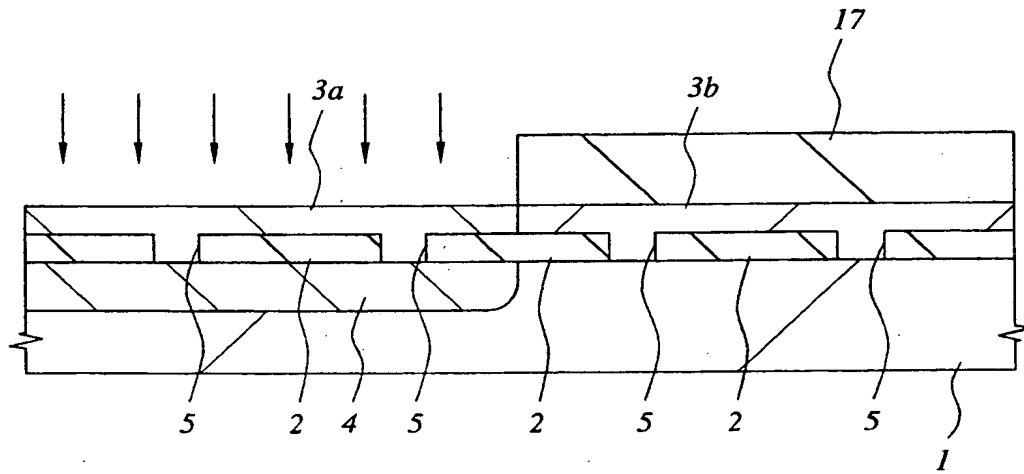


図 10

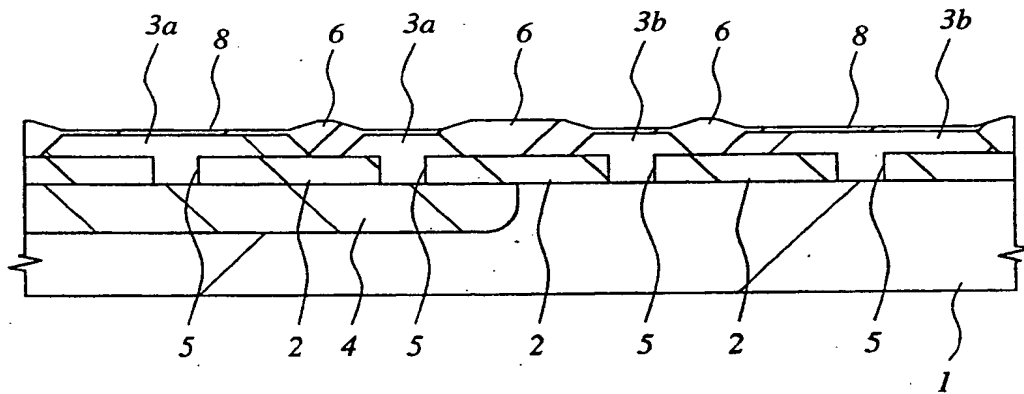


図 11

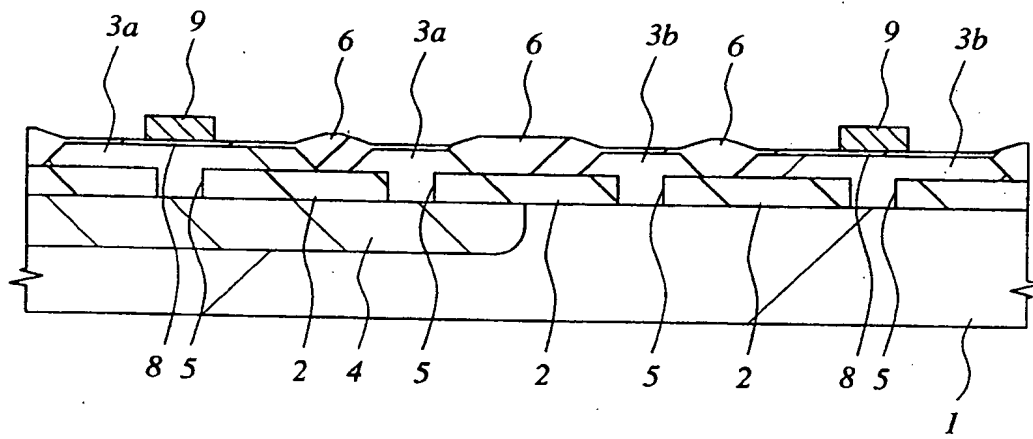


図 12

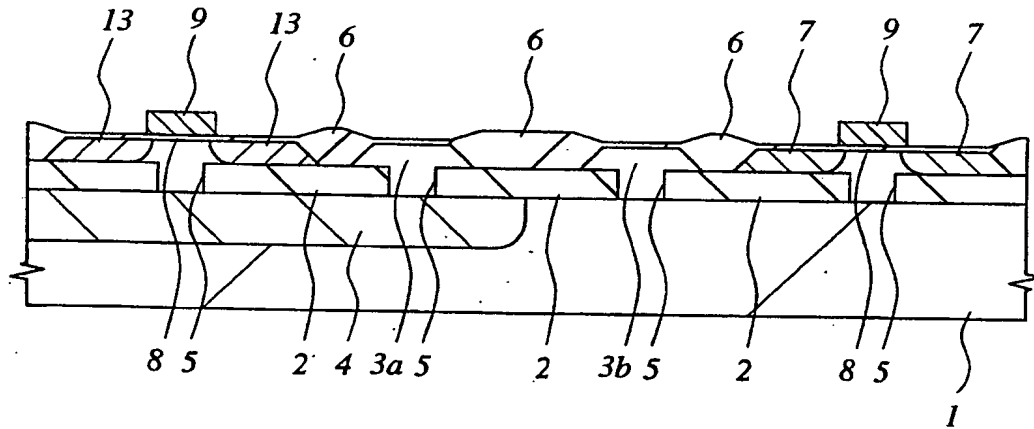


図 13

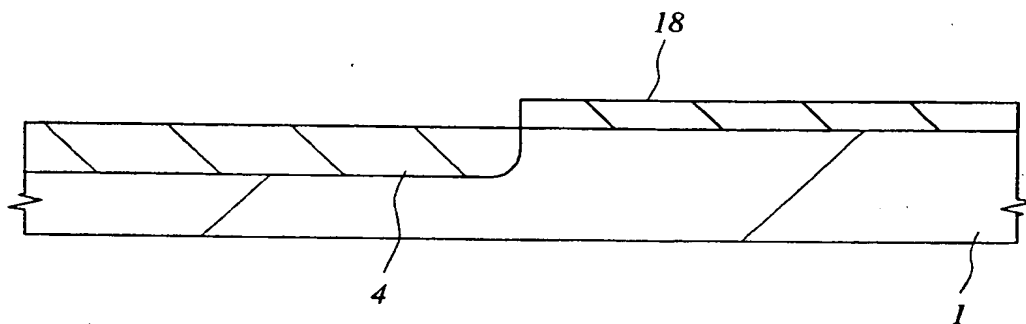


図 14

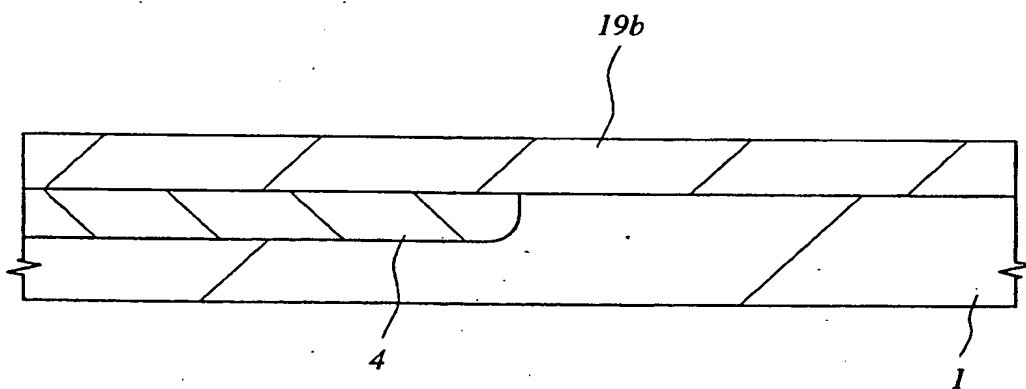


図 15

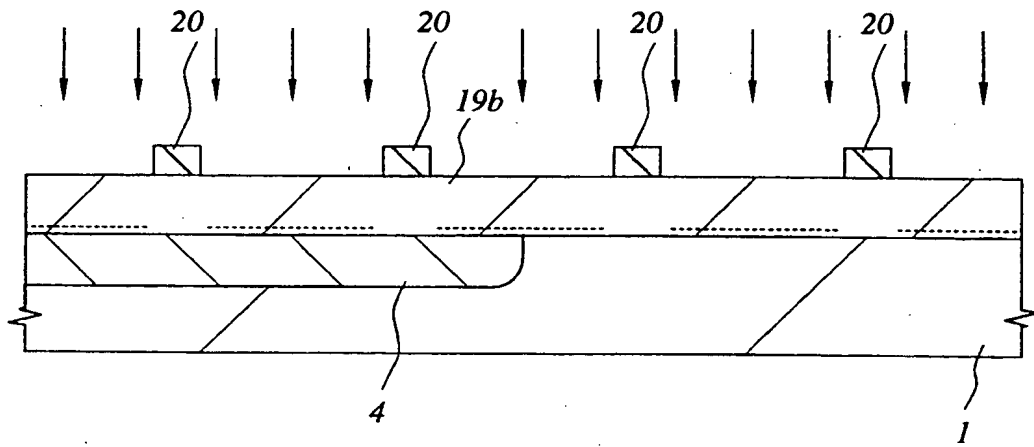


図 16

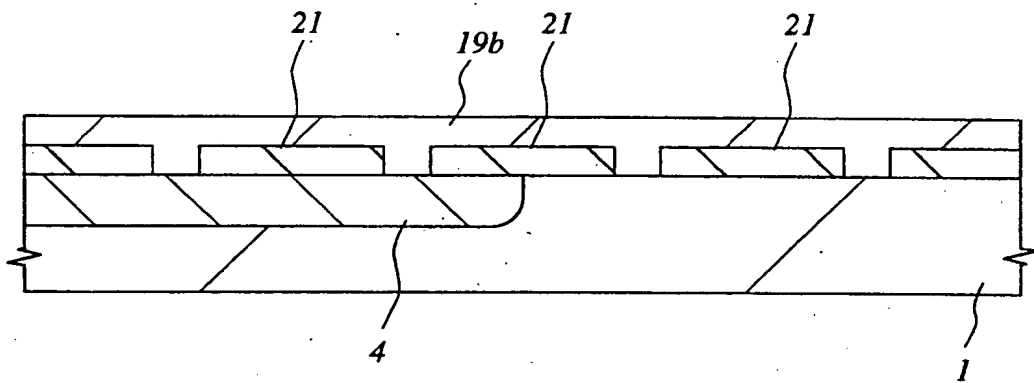
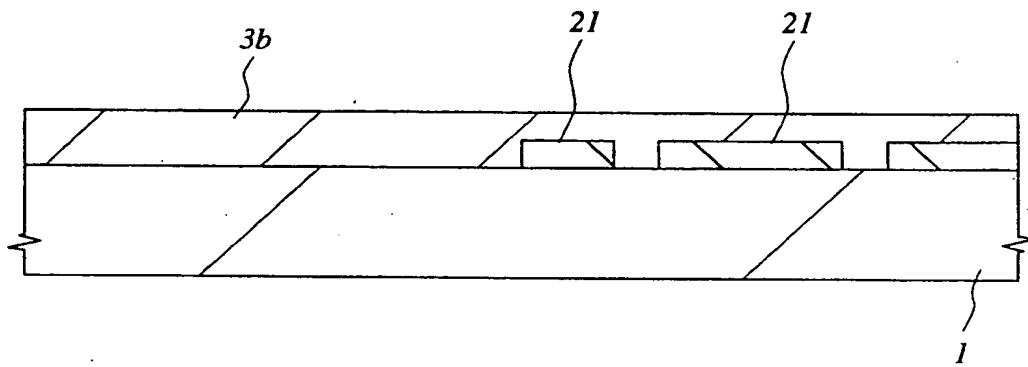


図 17



A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ H01L29/78, H01L27/092

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ H01L29/78, H01L27/092, H01L21/76

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho

1972 - 1995

Kokai Jitsuyo Shinan Koho

1973 - 1995

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 61-265859, A (Toshiba Corp.), November 25, 1986 (25. 11. 86),	1, 3, 5, 6, 9, 10
Y	Line 2, upper left column to line 16, upper right column, page 3 (Family: none)	2, 4
X	JP, 61-187224, A (Intel Corp.), August 20, 1986 (20. 08. 86)	1, 5, 6, 9, 10
Y	& DE, 3603470, A & FR, 2577348, A & US, 4654958, A & CN, 85104551, A & GB, 2170953, B	2 - 4
X	JP, 63-181421, A (Matsushita Electric Industrial Co., Ltd.),	1, 8-10
Y	July 26, 1988 (26. 07. 88) (Family: none)	2 - 6
Y	JP, 63-192266, A (Oki Electric Industry Co., Ltd.), August 9, 1988 (09. 08. 88), Line 9, upper right column, page 5 to line 20, upper left column, page 6 (Family: none)	1 - 10

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
June 17, 1996 (17. 06. 96)Date of mailing of the international search report
July 2, 1996 (02. 07. 96)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP96/00940

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 63-228668, A (NEC Corp.), September 22, 1988 (22. 09. 88), Line 15, lower left column to line 16, lower right column, page 2 (Family: none)	1 - 10
	IEDM 1987 P. 354-257, W.T. Lynch, SELF-ALIGNED CONTACT SCHEMES FOR SOURCE-DRAINS IN SUBMICRON DEVICES	1 - 10

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int Cl⁶ H01L29/78, H01L27/092

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int Cl⁶ H01L29/78, H01L27/092, H01L21/76

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1972-1995年

日本国公開実用新案公報 1973-1995年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP, 61-265859 A (株式会社東芝), 25. 11月. 1986 (25. 11. 86), 第3頁左上欄第2行-同右上欄第16行 (ファミリー無し)	1,3,5,6,9,10 2,4
X Y	JP, 61-187224 A (インテル・コーポレーション), 20. 8月. 1986 (20. 08. 86) &DE3603470, A &FR2577348, A&US4654958, A &CN85104551, A&GB2170953, B	1,5,6,9,10 2-4
X Y	JP, 63-181421 A (松下電器産業株式会社), 26. 7月. 1988 (26. 07. 88) (ファミリー無し)	1,8-10 2-6
Y	JP, 63-192266 A (沖電気工業株式会社), 9. 8月. 1988 (09. 08. 88), 第5頁右上欄第9行-第6頁左上欄第20行 (ファミリー無し)	1-10

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 先行文献ではあるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

17. 06. 96

国際調査報告の発送日

02.07.96

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

今井 拓也

印

4M

9169

電話番号 03-3581-1101 内線 3464

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 63-228668 A (日本電気株式会社), 22. 9月. 1988 (22. 09. 88), 第2頁左下欄第15行一同右下欄第16行 (ファミリー無し)	1-10
	IEDM 1987 P. 354-357, W. T. Lynch, SELF-ALIGNED CONTACT SCHEMES FOR SOURCE-DRAINS IN SUBMICRON DEVICES	1-10

THIS PAGE BLANK (USPTO)